

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-310768

(43)Date of publication of application : 07.11.2000

(51)Int.Cl.

G02F 1/133

G09G 3/20

G09G 3/36

(21)Application number : 2000-050221

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 25.02.2000

(72)Inventor : KINOSHITA HIROSHI
TSURUKI TAKAYUKI

(30)Priority

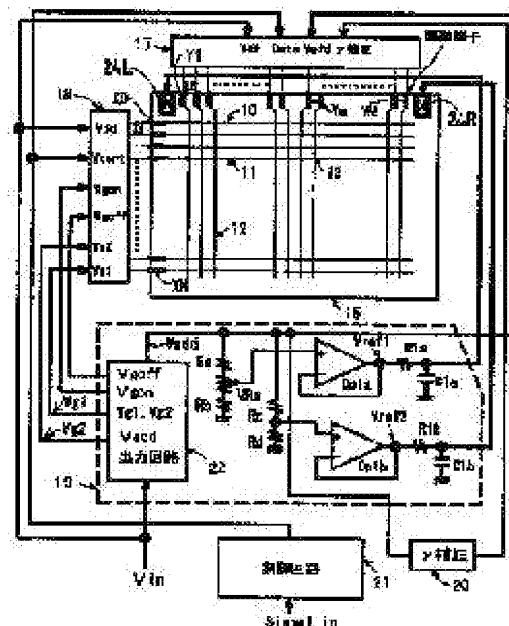
Priority number : 11051553 Priority date : 26.02.1999 Priority country : JP

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a high-quality liquid crystal display device at a low cost by realizing a circuit constitution for dissolving unevenness of picture quality such as flicker and flitter at a low cost.

SOLUTION: In this liquid crystal display device, plural signal lines 12 and plural scan lines 10, 11 are provided so as to cross with each other in a liquid crystal panel 15 and TFTs(thin film transistors) are provided at intersections of the signal lines 12 and the scan lines 11 and a signal line driving circuit 17 applying a driving voltage to the signal lines 12, a scan line driving circuit 18 applying a driving voltage to the scan lines 11 and a driving power source circuit 19 supplying driving voltages to the circuit 17 and the circuit 18 are also provided. Moreover, a common electrode terminal 24L is arranged at the outer side of driving terminals of the signal lines in the liquid crystal panel 15 and a common electrode terminal 24R is arranged at the outer side of the driving terminal of the last signal line and a reference voltage Vref1 and a reference voltage Vref2 are made to be outputted respectively to the terminal 24L and the terminal 24R from the reference voltage circuits provided in the circuit 19.



LEGAL STATUS

[Date of request for examination]

25.02.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3439171

[Date of registration]

13.06.2003

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-310768
(P2000-310768A)

(43)公開日 平成12年11月7日(2000.11.7)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
G 0 2 F 1/133	5 8 0	G 0 2 F 1/133	5 8 0
	5 2 0		5 2 0
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 E
	6 1 2		6 1 2 E
	6 2 3		6 2 3 T

審査請求 有 請求項の数15 O L (全 22 頁) 最終頁に続く

(21)出願番号 特願2000-50221(P2000-50221)

(22)出願日 平成12年2月25日(2000.2.25)

(31)優先権主張番号 特願平11-51553

(32)優先日 平成11年2月26日(1999.2.26)

(33)優先権主張国 日本 (J P)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 木下 寛志

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 鶴来 孝之

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100112128

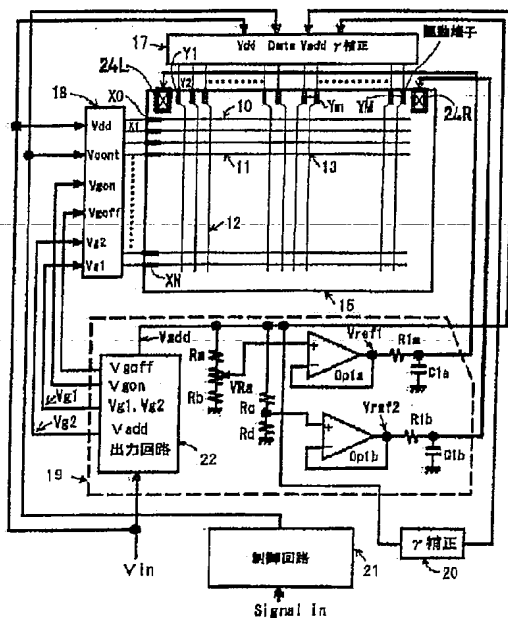
弁理士 村山 光威

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 フリッカーやちらつき等の画質ムラを解消するための回路構成を安価で実現し、低価格で高画質の液晶表示装置を提供する。

【解決手段】 液晶パネル15に、複数の信号線12および複数の走査線10、11とを互いに交差するように設け、信号線12と走査線11との各交点にTFTを設け、信号線12に駆動電圧を与える信号線駆動回路17と、走査線11に駆動電圧を与える走査線駆動回路18と、信号線駆動回路17および走査線駆動回路18に駆動電圧を供給する駆動電源回路19とを設け、液晶パネル15における信号線の駆動端子の外側に共通電極端子24Lを配置し、最後の信号線の駆動端子の外側に共通電極端子24Rを配置し、駆動電源回路19に設けられた基準電圧回路から共通電極端子24Lに基準電圧Vref1を出力させ、共通電極端子24Rに基準電圧Vref2を出力させる。



【特許請求の範囲】

【請求項1】 複数の信号線および複数の走査線とを互いに交差するように設け、前記信号線と走査線との各交点にTFTを設けることによって、複数のTFTをマトリックス状に配置した構成を有する液晶パネルと、前記信号線に駆動電圧を与える信号線駆動回路と、前記走査線に駆動電圧を与える走査線駆動回路と、前記信号線駆動回路および走査線駆動回路に駆動電圧を供給する電源回路と、を備えた液晶表示装置であって、前記液晶パネルにおける少なくとも最初の信号線の駆動端子の外側に第1共通電極端子を配置し、最後の信号線の駆動端子の外側に第2共通電極端子を配置し、前記電源回路に前記液晶パネルの動作点を定める基準電圧回路を設け、この基準電圧回路に、前記第1共通電極端子に第1基準電圧を出力させ、前記第2共通電極端子に第2基準電圧を出力させることを特徴とする液晶表示装置。

【請求項2】 前記基準電圧回路は、前記第1基準電圧と前記第2基準電圧のいずれか一方を基準として他方を変化させることを特徴とする請求項1記載の液晶表示装置。

【請求項3】 前記基準電圧回路は、前記第1基準電圧と前記第2基準電圧のいずれか一方を基準電圧として出力し、前記第1共通電極端子と前記第2共通電極端子とを結合する結合点に前記基準電圧を加えることを特徴とする請求項1記載の液晶表示装置。

【請求項4】 前記第1共通電極端子と前記結合点との間に第1抵抗を接続し、前記第2共通電極端子との間に第2抵抗を接続したことを特徴とする請求項3記載の液晶表示装置。

【請求項5】 前記電源回路が前記信号線駆動回路に出力する駆動電圧の値を V_{add} とし、前記第1基準電圧または前記第2基準電圧のいずれか一方の電圧値を V_r とした場合に、

$$|V_{add} - 2 \cdot V_r| \leq 0.1$$

を満たすことを特徴とする請求項1記載の液晶表示装置。

【請求項6】 前記液晶パネルを、前記複数の信号線と画像表示に寄与しない最初段または最終段の1本を除く走査線との各交点に画素電極とドレインとが前記画素電極と接続したTFTを配置し、前段の走査線と前記TFTのドレインとが所定容量(C_{st})で結合し、前記画素電極に対峙して対向電極を設け、前記画素電極と対向電極間に液晶を封入して画素とした容量結合型液晶パネルとしたことを特徴とする請求項1記載の液晶表示装置。

【請求項7】 前記電源回路は、前記液晶パネルの温度を検知する温度センサーからの出力信号を基に温度補償電圧(δV)を出力する温度補償電圧発生回路と、前記液晶パネルの標準温度に対応し、前記容量を介して

画素に印加される電圧の基準となる第1標準補助電圧(V_1)および第2標準補助電圧(V_2)を出力する標準補助電圧出力回路と、

前記液晶パネルが標準温度で動作するとき、第1標準補助電圧(V_1)にフリッカー制御電圧(V_f)を加算した電圧を、前記容量を介して画素に印加される第1補助電圧(V_{q1})として出力し、前記液晶パネルが標準温度と異なる温度で動作するとき、第1標準補助電圧(V_1)にフリッカー制御電圧(V_f)を加算した電圧に温度補償電圧(δV)を加算した電圧を、前記容量を介して画素に印加される第1補助電圧(V_{q1})として出力する第1補助電圧出力回路と、

前記液晶パネルが標準温度で動作するとき、第2標準補助電圧(V_2)にフリッカー制御電圧(V_f)を加算した電圧を、前記容量を介して画素に印加される第2補助電圧(V_{q2})として出力し、前記液晶パネルが標準温度と異なる温度で動作するとき、第2標準補助電圧(V_2)にフリッカー制御電圧(V_f)を加算した電圧に温度補償電圧(δV)を減算した電圧を、前記容量を介して画素に印加される第2補助電圧(V_{q2})として出力する第2補助電圧出力回路とを備えたことを特徴とする請求項6記載の液晶表示装置。

【請求項8】 前記電源回路は、前記容量を介して画素に印加される電圧の基準となる第1標準補助電圧(V_1)および第2標準補助電圧(V_2)を出力する標準補助電圧出力回路と、

前記第1標準補助電圧(V_1)にフリッカー制御電圧(V_f)を加算した電圧を、前記容量を介して画素に印加される第1補助電圧(V_{q1})として出力する第1補助電圧出力回路と、

前記第2標準補助電圧(V_2)にフリッカー制御電圧(V_f)を加算した電圧を、前記容量を介して画素に印加される第2補助電圧(V_{q2})として出力する第2補助電圧出力回路とを備えたことを特徴とする請求項6記載の液晶表示装置。

【請求項9】 前記第1補助電圧出力回路の誤差電圧(δ_1)と前記第2補助電圧出力回路の第2誤差電圧(δ_2)との差を、前記第1補助電圧(V_{q1})と第2補助電圧(V_{q2})のトラッキングエラー(δ)とした場合、

トラッキングエラー(δ)を $\pm 0.3V$ の範囲内とすることを特徴とする請求項7または8記載の液晶表示装置。

【請求項10】 前記TFTのソースとドレイン間に形成される容量(C_{qd})と前段あるいは後段のゲートとドレイン間に形成される容量(C_{st})と、前記TFTのオン電圧(V_{gon})、前記TFTのオフ電圧(V_{goff})、第1標準補助電圧(V_1)および第2標準補助電圧(V_2)は、

$$(V_1 + V_2) / 2 = V_{goff} \cdot \{1 + (C_{qd} / C_{st})\} -$$

$V_{gon} \cdot (C_{gd}/C_{st})$

かつ

$V_{gon} > V_1 > V_{goff} > V_2$

を満たすことを特徴とする請求項 1 または 6 記載の液晶表示装置。

【請求項 11】 前記電源回路は、信号線駆動電源電圧 (V_{add}) と、前記 TFT をオンにするオン電圧 (V_{gon}) と、前記 TFT をオフにするオフ電圧 (V_{goff}) とを単一の入力電圧から発生させるスイッチング電源モジュールから構成されることを特徴とする請求項 1 または 6 記載の液晶表示装置。

【請求項 12】 前記電源回路は、信号線駆動電源電圧 (V_{add}) と、前記 TFT をオンにするオン電圧 (V_{gon}) と、前記 TFT をオフにするオフ電圧 (V_{goff}) と、第 1 補助電圧 (V_{q1}) および第 2 補助電圧 (V_{q2}) とを単一の入力電圧から発生させるスイッチング電源モジュールから構成されることを特徴とする請求項 1 または 6 記載の液晶表示装置。

【請求項 13】 前記スイッチング電源モジュールに、第 1 基準電圧または第 2 基準電圧の少なくとも一方の電圧を発生させる機能を付加したことを特徴とする請求項 11 または 12 記載の液晶表示装置。

【請求項 14】 前記電源回路は、制御信号により出力をオン・オフする制御端子を備えたことを特徴とする請求項 1 または 6 記載の液晶表示装置の駆動電源装置。

【請求項 15】 前記電源回路がオンするときには、TFT をオフにするオフ電圧 (V_{goff})、TFT をオンにするオン電圧 (V_{gon}) の順に出力し、オフしてからのオン電圧 (V_{gon})、オフ電圧 (V_{goff}) と走査線駆動回路の負電源電圧 (V_{gss}) の電圧値をそれぞれ、 V_{gon} (off)、 V_{goff} (off)、 V_{gss} (off) とした場合に、 $V_{gon}(\text{off}) \geq V_{goff}(\text{off}) \geq V_{gss}(\text{off})$ を満たすことを特徴とする請求項 1 または 6 記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、映像機器やコンピュータなどの情報機器のディスプレイとして非常に有用である液晶表示装置に関するものであり、特に、前段あるいは後段の走査線と TFT のドレインが容量結合した液晶パネルを用いた液晶表示装置に関するものである。

【0002】

【従来の技術】図 15 は従来の液晶表示装置の構成図であり、10、11 は走査線、12 は信号線、13 は画素、14 は共通電極端子、15 は液晶パネルを示す。液晶パネル 15 には、信号線 12 が M 本、表示に寄与しない走査線 10 が 1 本、表示に寄与する走査線 11 が N 本備えられており、走査線 10、11 と信号線 12 とが互いに交差するように配置されている。走査線 11 と信号線 12 との交点には TFT が配置されており、走査線 1

0 には TFT が配置されていない。

【0003】Y1~YM は信号線のアドレス、X0~XN は走査線のアドレスを示す。信号線 12 と走査線 10、11 は、液晶パネル 15 の外辺部に形成された駆動端子によって駆動回路と接続される。

【0004】共通電極端子 14 は、アドレス Ym-1 の信号線 12 と Ym の信号線 12 との駆動端子間の概略中央部に設けられ、 $Y_{m-1} \leq Y_M/2 \leq Y_m$ の関係にある。共通電極端子 14 には基準電圧 V_{ref} が印加される。

【0005】17 は信号線 12 に信号線駆動電圧を与える信号線駆動回路、18 は走査線 11 に走査線駆動電圧を与える走査線駆動回路を示す。信号線駆動回路 17 と走査線駆動回路 18 は複数個からなる駆動 LSI から構成される場合が多い。

【0006】Vin は液晶表示装置の入力電圧を示し、この Vin は、電圧図中において点線枠に示した駆動電源回路 19、信号線駆動回路 17 および走査線駆動回路 18 の電源電圧として用いられる。制御回路 21 は入力信号 (Signal in) に基づいて駆動電源回路 19、信号線駆動回路 17 および走査線駆動回路 18 を制御する制御信号と画像データ信号を出力する。

【0007】駆動電源回路 19 には、信号線駆動電源電圧 V_{add} 、ゲートオン電圧 V_{gon} 、ゲートオフ電圧 V_{goff} 、第 1 補助電圧 V_{q1} と第 2 補助電圧 V_{q2} 、等の液晶駆動に必要な電圧の出力回路 22 と、基準電圧 V_{ref} を出力する V_{ref} 出力回路 23 とが備えられている。

【0008】基準電圧 V_{ref} は液晶パネル 15 の動作点を定める電圧である。信号線駆動電源電圧 V_{add} は信号線駆動回路 17 が信号線 12 に駆動電圧を出力するための電源電圧であり、信号線駆動回路 17 に入力される画像データ (図中では Data と表記) と γ 補正回路 20 から発生される γ 電圧とにより、画像表示に適した駆動電圧として出力される。ここで、 γ 補正回路 20 は、液晶パネル 15 の特性を補正して適正な駆動電圧を得るための補正電圧としての γ 電圧を出力するものである。なお、信号線駆動回路 17 に D/A コンバータが内蔵されている場合には、D/A コンバータの基準電圧として用いられる。

【0009】これ以降においては、説明の便宜上、各電圧あるいは各信号の符号によって回路の入力端子または出力端子を表すものとする。

【0010】走査線駆動回路 18 は第 1 補助電圧 V_{q1} あるいは第 2 補助電圧 V_{q2} とゲートオン電圧 V_{gon} の電圧レベルの走査線駆動電圧により走査線 11 を順次駆動し、走査線駆動電圧に同期して信号線駆動回路 17 は画像データに対応した信号線駆動電圧により信号線 12 を駆動する。ゲートオン電圧 V_{gon} とゲートオフ電圧 V_{goff} は、夫々液晶パネル 15 の画素 13 に配置される薄膜トランジスタ (TFT) がオンするゲート電圧、オフするゲート電圧である。

【0011】1水平走査時間を1Hとすれば、1H以内にV_{gon}レベルの走査線駆動電圧を走査線11に出力し、この動作に同期し液晶パネル15の信号線12に信号線駆動電圧を出力する。補助電圧V_{q1}とV_{q2}とは、1V毎に同一の走査線11に交互に印加され、補助電圧V_{q1}とV_{q2}は結合容量を介して液晶セルの信号線駆動電圧に重畳される。以上の駆動は容量結合駆動と呼ばれ、液晶パネル15は容量結合した液晶パネルと呼ばれる。

【0012】容量結合駆動の特徴は、信号線駆動電圧を低くできることにある。図16に示すように、前段と容量結合した場合には、V_{gon}レベルの駆動電圧を出力後、次段の走査線11に印加されるV_{gon}レベルの駆動電圧に同期して、1H以上の期間(図16では2Hとした)補助電圧V_{q1}とV_{q2}のいずれかのレベルの駆動電圧が印加される。後段と容量結合した場合は、V_{gon}レベルの駆動電圧を出力前に前段の走査線11に印加されるV_{gon}レベルの駆動電圧に同期して、1H以上の期間に補助電圧V_{q1}とV_{q2}のいずれかのレベルの駆動電圧が印加される。この動作を各走査線毎に順次繰り返して、画像表示を行う。

【0013】図17は画素の概略構成を示す説明図であり、走査線X0、X1、X2と信号線Y1との交点にある画素を一例としている。DはTFTのドレイン、GはTFTゲート、SはTFTのソース、C_{st}はドレインと前段の走査線間に形成される結合容量を示す。図17は前段の走査線と容量結合した液晶パネル15を示すが、後段の走査線と容量結合した液晶パネルも同様である。1cは液晶セル、C_{1c}は液晶セル1cの容量を示し、これらはTFTのドレイン電極と対向電極16間に液晶が封入されて形成される。対向電極16は液晶パネル15内に形成される導電性の薄膜であって図15に示す共通電極端子14に接続される。そのために対向電極16を共通電極と称する場合もある。C_{gd}はTFTのゲートGとドレインD間の容量である。ゲートGは走査線11に接続され、ソースSは信号線12に接続される。

【0014】図18は液晶パネルの駆動電圧波形の一例を示し、図16(a)には信号線駆動電圧V_a、V_bと基準電圧V_{ref}との関係を示す図である。この信号線駆動電圧V_a、V_bは同じ画像データから作られ、V_{ref}を基準にして対称な電圧レベルにされる。つまり、V_a-V_{ref}=V_{ref}-V_bの関係が成り立つ。従って基準電圧V_{ref}は信号線駆動電圧V_aと信号線駆動電圧V_bとの中点の電圧レベルに設定される。

【0015】図16(b)、(c)、(d)は走査線駆動電圧の波形を示す図であり、図16(b)はn-1番の走査線、図16(c)はn番目の走査線、図16(d)はn+1番目の走査線に加えられる駆動電圧波形を示す。このように、第1補助電圧V_{q1}と第2補助電圧V_{q2}とは垂直走査時間(1V)毎に交互に同一の走査線に与えられて、容量C_{st}を介することにより電圧V_{q1c}とV_{q2c}が液晶セル1

cに印加される。

【0016】図18は液晶セル1cに印加される駆動電圧波形を示す説明図であり、第1補助電圧V_{q1}による電圧をV_{q1c}とし、第2補助電圧V_{q2}による電圧をV_{q2c}としている。V_sは信号線駆動電圧を示し、この信号線駆動電圧V_sは信号線駆動回路17から液晶セル1cに加えられる。

【0017】理論的には液晶セルにはV_{q1c}+V_sとV_{q2c}+V_sが時間1V毎に交互に印加されるが、実際にはV_{gon}が走査線11に印加される場合に結合容量C_{st}や液晶パネル15内の配線抵抗と配線容量等によって不平衡電圧ΔVが液晶セル1cに加わる。この不平衡電圧ΔVが画面にフリッカーを生じさせ、画質を低下させる原因となる。

【0018】従来、ΔVの影響を小さくしてフリッカーを無視できるレベルにして液晶パネル15を駆動するために、第1補助電圧V_{q1}と第2補助電圧V_{q2}を同時に同量変化させ、ΔVを最小にしてフリッカー防止する方法が採られる。この第1補助電圧V_{q1}と第2補助電圧V_{q2}を同時に同量変化させてフリッカーを最小にする調整法は、容量結合駆動の原理に基づくものであるから、当然、基準電圧V_{ref}と信号線駆動電圧V_a、V_bとの関係が図16に示す関係を維持していなければ成り立たない。基準電圧V_{ref}は対向電極16に印加されるが、液晶パネル15内の対向電極16には固有の配線抵抗が存在し、液晶駆動による電流によって、液晶パネル15の各画素13の基準電圧が少なからず変動を受ける。勿論、配線容量による影響も変動の要因になる。

【0019】また、共通電極端子14の配置によって各画素13に加わる電圧が異なるため、前述したようなフリッカー調整だけでは不平衡電圧ΔVを打ち消すことができなくなる。そのために液晶パネル15に配置された信号線駆動端子の中央部近辺に共通電極端子14を配置し、各画素13に加わる配線抵抗による不平衡電圧を、画面の左右で対称となるようにして、前述したフリッカー調整によってフリッカーレベルを最小としている。

【0020】

【発明が解決しようとする課題】図15に示す従来の液晶表示装置は、共通電極端子14を画面の左右で対称な位置に配置し、各画素に加わる不平衡電圧が画面の左右で対称となるようにし、画面中央部の不平衡電圧を最小とすることによってフリッカー等による画質ムラを実用レベル内に抑えるものである。しかしながら、画面周辺部は中央部より不平衡電圧が大きくなりフリッカーやちらつき等の画質ムラが画面全体で均等になるとは限らない。

【0021】特に、容量結合型の液晶パネルにおいては、結合容量C_{st}が形成されるために走査線の配線容量が増し、走査線駆動時の電流が大きくなるため、共通電極端子の配置によって画質劣化が目立つことになる。画

面サイズが大きくなれば一層この影響が大になり、画面中央部で不平衡電圧を最小に設定しても画面周辺部の不平衡電圧が実用レベル以下にならず、フリッカーやちらつき等の画質ムラが目立つようになる。その対策として、走査線を両端から駆動する両端駆動が採用されている。

【0022】このように、容量結合しない液晶パネルでは片側駆動で十分な性能が発揮される画面サイズでも、容量結合型液晶パネルでは両端駆動を必要とする。これは、容量結合した液晶パネルの走査線の配線容量が、容量結合をしていない液晶パネルより大きいことに起因する。

【0023】したがって、容量結合型液晶パネルにおける両端駆動では走査線駆動ドライバが倍になり、コストアップとなる。また、容量結合しない液晶パネルについても、画面サイズが大きくなれば走査線の配線容量が増し、容量結合した液晶パネルと同様の不平衡電圧による画質ムラが発生する。

【0024】さらに、単一極性の信号線駆動電源電圧 V_{add} (正極性の場合が大半である)により、液晶セル10に適正な駆動電圧を与えるには5V以上の信号線駆動電源電圧 V_{add} が必要であるから、容量結合していない一般的なTFT型液晶パネルでは、信号線駆動電源電圧 V_{add} を5V以下とすることは困難である。

【0025】ところで、容量結合型液晶パネルの特徴は信号線駆動電圧を小さくできることにあり、比較的低電圧(5V程度)の信号線駆動電圧により駆動できる。低電圧駆動が可能な液晶を容量結合型液晶パネルに使用すれば、この特徴をさらに活かすことができる。低電圧駆動が可能であれば、駆動ドライバのチップサイズを縮小でき、低消費電力の液晶表示装置が実現される。特に容量結合型液晶パネルは反射型の液晶表示装置に適する。また、駆動ドライバのチップサイズの縮小によってコストダウンが可能となる。

【0026】しかし、容量結合型液晶パネルは走査線の駆動電圧レベルが4値必要であり、フリッカー調整には、複雑な電圧発生回路が必要でコストアップとなる。さらに低電圧駆動の液晶は温度によって特性が変化し、温度補償をする必要がある。容量結合型液晶パネルの温度補償はさらに複雑な電圧発生回路を必要とする。

【0027】以上説明したように、走査線駆動時の電流の影響を最小限とする共通電極の配置と基準電圧発生回路を実現し、液晶表示装置の画面サイズが大きい場合でも画質ムラを実用レベル以下とすること、容量結合した液晶パネルの特徴を十二分に発揮させるために、走査線駆動電源電圧を適切に制御してフリッカー調整を容易にしかつ液晶パネルの温度補償を正確にでき、しかも簡易な構成の低コストな液晶表示装置を実現することが課題となる。

【0028】本発明はこのような従来の問題点を解消す

るものであって、走査線駆動時に流れる電流の影響を最小限とする共通電極端子の配置と共通電極の配置に応じた基準電圧を用いることにより、液晶表示装置の画面サイズが大きい場合でも、フリッカー、ちらつき等の画質ムラを実用レベル以下とし、かつ、容量結合型液晶パネルを用いた液晶表示装置において、フリッカー調整と温度補償が正確にでき、低電圧駆動の液晶を使用した場合にも、周囲の温度変化に影響されない低コストで高画質の液晶表示装置を提供することを目的とする。

【0029】

【課題を解決するための手段】前記目的を達成するための、請求項1に係る本発明は、複数の信号線および複数の走査線とを互いに交差するように設け、前記信号線と走査線との各交点にTFTを設けることによって、複数のTFTをマトリクス状に配置した構成を有する液晶パネルと、前記信号線に駆動電圧を与える信号線駆動回路と、前記走査線に駆動電圧を与える走査線駆動回路と、前記信号線駆動回路および走査線駆動回路に駆動電圧を供給する電源回路とを備えた液晶表示装置であって、前記液晶パネルにおける少なくとも最初の信号線の駆動端子の外側に第1共通電極端子を配置し、最後の信号線の駆動端子の外側に第2共通電極端子を配置し、前記電源回路に前記液晶パネルの動作点を定める基準電圧回路を設け、この基準電圧回路に、前記第1共通電極端子に第1基準電圧を出力させ、前記第2共通電極端子に第2基準電圧を出力させることを特徴とする。このように構成したことにより、基準電圧出力回路の能力不足や走査線駆動電流による液晶表示装置のフリッカーやちらつき等の画質ムラを実用レベル以下にでき、低価格で高画質の液晶表示装置を実現できる。

【0030】また請求項2に係る本発明は、前記基準電圧回路は、前記第1基準電圧と前記第2基準電圧のいずれか一方を基準として他方を変化させることを特徴とする。このように構成したことにより、液晶表示装置の画質ムラを最小レベルに設定することができる。

【0031】また請求項3に係る本発明は、前記基準電圧回路は、前記第1基準電圧と前記第2基準電圧のいずれか一方を基準電圧として出力し、前記第1共通電極端子と前記第2共通電極端子とを結合する結合点に前記基準電圧を加えることを特徴とする。このように構成したことにより、1つの基準電圧により画質ムラを実用レベル以下にできるため、基準電圧出力回路が簡易な構成になり、低価格で高画質の液晶表示装置を実現できる。

【0032】また請求項4に係る本発明は、前記第1共通電極端子と前記結合点との間に第1抵抗を接続し、前記第2共通電極端子との間に第2抵抗を接続したことを特徴とする。このように構成したことにより、1つの基準電圧により画質ムラを最小レベルに設定できる。

【0033】また請求項5に係る本発明は、前記電源回路が前記信号線駆動回路に出力する駆動電圧の値を V_{ad}

dとし、前記第1基準電圧または前記第2基準電圧のいずれか一方の電圧値を V_r とした場合に、 $|V_{add}-2 \cdot V_r| \leq 0.1$ を満たすことを特徴とする。このように構成したことにより、第1基準電圧または前記第2基準電圧のいずれか一方を容易に設定できる。

【0034】また請求項6に係る本発明は、前記液晶パネルを、前記複数の信号線と画像表示に寄与しない最初段または最終段の1本を除く走査線との各交点に画素電極とドレインとが前記画素電極と接続したTFTを配置し、前段の走査線と前記TFTのドレインとが所定容量(Cst)で結合し、前記画素電極に対峙して対向電極を設け、前記画素電極と対向電極間に液晶を封入して画素とした容量結合型液晶パネルとしたことを特徴とする。このように構成したことにより、容量結合した液晶パネルを用いた液晶表示装置の画質ムラを実用レベル以下にできる。

【0035】また請求項7に係る本発明は、前記電源回路は、前記液晶パネルの温度を検知する温度センサーからの出力信号を基に温度補償電圧(δV)を出力する温度補償電圧発生回路と、前記液晶パネルの標準温度に対応し、前記容量を介して画素に印加される電圧の基準となる第1標準補助電圧(V_1)および第2標準補助電圧(V_2)を出力する標準補助電圧出力回路と、前記液晶パネルが標準温度で動作するとき、第1標準補助電圧(V_1)にフリッカー制御電圧(V_f)を加算した電圧を、前記容量を介して画素に印加される第1補助電圧(V_{q1})として出力し、前記液晶パネルが標準温度と異なる温度で動作するとき、第1標準補助電圧(V_1)にフリッカー制御電圧(V_f)を加算した電圧に温度補償電圧(δV)を加算した電圧を、前記容量を介して画素に印加される第1補助電圧(V_{q1})として出力する第1補助電圧出力回路と、前記液晶パネルが標準温度で動作するとき、第2標準補助電圧(V_2)にフリッカー制御電圧(V_f)を加算した電圧を、前記容量を介して画素に印加される第2補助電圧(V_{q2})として出力し、前記液晶パネルが標準温度と異なる温度で動作するとき、第2標準補助電圧(V_2)にフリッカー制御電圧(V_f)を加算した電圧に温度補償電圧(δV)を減算した電圧を、前記容量を介して画素に印加される第2補助電圧(V_{q2})として出力する第2補助電圧出力回路とを備えたことを特徴とする。このように構成したことにより、簡易な構成で液晶パネルの温度補償を正確にでき、フリッカー調整を容易とする高精度で低価格の駆動電源回路を備えた液晶表示装置を実現できる。

【0036】また請求項8に係る本発明は、前記電源回路は、前記容量を介して画素に印加される電圧の基準となる第1標準補助電圧(V_1)および第2標準補助電圧(V_2)を出力する標準補助電圧出力回路と、前記第1標準補助電圧(V_1)にフリッカー制御電圧(V_f)を加算した電圧を、前記容量を介して画素に印加される第1

補助電圧(V_{q1})として出力する第1補助電圧出力回路と、前記第2標準補助電圧(V_2)にフリッカー制御電圧(V_f)を加算した電圧を、前記容量を介して画素に印加される第2補助電圧(V_{q2})として出力する第2補助電圧出力回路とを備えたことを特徴とする。このように構成したことにより、簡易な構成でフリッカー調整を容易とする、高精度で低価格な駆動電源回路を備えた液晶表示装置を実現できる。

【0037】また請求項9に係る本発明は、前記第1補助電圧出力回路の誤差電圧($\delta 1$)と前記第2補助電圧出力回路の第2誤差電圧($\delta 2$)との差を、前記第1補助電圧(V_{q1})と第2補助電圧(V_{q2})のトラッキングエラー(δ)とした場合、トラッキングエラー(δ)を $\pm 0.3V$ の範囲内とすることを特徴とする。このように構成したことにより、第1補助電圧(V_{q1})と第2補助電圧(V_{q2})のトラッキングエラーの許容範囲が定められ、駆動電源回路の設計を容易とし、低価格の駆動電源回路を備えた液晶表示装置を実現できる。

【0038】また請求項10に係る本発明は、前記TFTのソースとドレイン間に形成される容量(C_{qd})と前段あるいは後段のゲートとドレイン間に形成される容量(C_{st})と、前記TFTのオン電圧(V_{gon})、前記TFTのオフ電圧(V_{goff})、第1標準補助電圧(V_1)および第2標準補助電圧(V_2)は、 $(V_1+V_2)/2 = V_{goff} \cdot \{1 + (C_{qd}/C_{st})\} - V_{gon} \cdot (C_{qd}/C_{st})$ かつ $V_{gon} > V_1 > V_{goff} > V_2$ を満たすことを特徴とする。このように構成したことにより、第1標準補助電圧(V_1)、第2標準補助電圧(V_2)、TFTのオン電圧(V_{gon})およびTFTのオフ電圧(V_{goff})の関係が定められ、容量結合した液晶パネルの駆動電源回路の設計を容易とすることができる。

【0039】また請求項11に係る本発明は、前記電源回路は、信号線駆動電源電圧(V_{add})と、前記TFTをオンにするオン電圧(V_{gon})と、前記TFTをオフにするオフ電圧(V_{goff})とを単一の入力電圧から発生させるスイッチング電源モジュールから構成されることを特徴とする。このように構成したことにより、信号線駆動電源電圧(V_{add})、TFTのオン電圧(V_{gon})、TFTのオフ電圧(V_{goff})の出力回路をモジュールに組み込む駆動電源モジュールとしたため、低コストで信頼性の高い駆動電源回路を備えた液晶表示装置を実現できる。

【0040】また請求項12に係る本発明は、前記電源回路は、信号線駆動電源電圧(V_{add})と、前記TFTをオンにするオン電圧(V_{gon})と、前記TFTをオフにするオフ電圧(V_{goff})と、第1補助電圧(V_{q1})および第2補助電圧(V_{q2})とを単一の入力電圧から発生させるスイッチング電源モジュールから構成されることを特徴とする。このように構成したことにより、信号線駆動電源電圧(V_{add})、TFTのオン電圧(V_{gon})、

TF Tのオフ電圧 (V_{goff})、第1補助電圧 (V_{g1}) および第2補助電圧 (V_{g2}) の出力回路をモジュールに組み込むことにより、駆動電源回路のコスト低減と信頼性の向上とを図ることができる。

【0041】また請求項13に係る本発明は、前記スイッチング電源モジュールに、第1基準電圧または第2基準電圧の少なくとも一方の電圧を発生させる機能を付加したことを特徴とする。このように構成したことにより、基準電圧出力回路をモジュールに組み込むことにより、電源回路のコスト低減と信頼性の向上とを図ること

【0042】また請求項14に係る本発明は、前記電源回路は、制御信号により出力をオン・オフする制御端子を備えたことを特徴とする。このように構成したことにより、オン・オフ制御信号により、液晶表示装置をリモートコントロールできる。

【0043】また請求項15に係る本発明は、前記電源回路がオンするときには、TF Tをオフにするオフ電圧 (V_{goff})、TF Tをオンにするオン電圧 (V_{gon}) の順に出力し、オフしてからのオン電圧 (V_{gon})、オフ電圧 (V_{goff}) と走査線駆動回路の負電源電圧 (V_{qss}) の電圧値をそれぞれ、 $V_{gon}(off)$ 、 $V_{goff}(off)$ 、 $V_{qss}(off)$ とした場合に、 $V_{gon}(off) \geq V_{goff}(off) \geq V_{qss}(off)$ を満たすことを特徴とする。このように構成したことにより、駆動電源回路がオン・オフするときの出力電圧の条件が定められ、液晶表示装置の信頼性を向上させる。

【0044】

【発明の実施の形態】以下に本発明の実施の形態における液晶表示装置の駆動電源装置について図面に基づいて説明する。なお、図15に示した従来の液晶表示装置における部材と同一の部材については同一の符号を付して詳細な説明を省略する。

【0045】(実施の形態1) 図1は発明の第1実施の形態における液晶表示装置の構成図である。図1に示す第1実施形態の液晶表示装置は図15に示す装置と同じく容量結合駆動によるものであり、図15に示す装置における共通電極端子14の代わりに2つの共通電極端子24L、24Rを設けたものである。第1共通電極端子24Lは、信号線12の最初の駆動端子Y1の外側に、第2共通電極端子24Rは、信号線12の最後の駆動端子YMの外側に配置される。

【0046】駆動電源回路19(図中の破線枠内の回路)は信号線駆動回路17と走査線駆動回路18に駆動電源電圧を供給する出力回路22と基準電圧出力回路から主に構成される。基準電圧出力回路は、第1共通電極端子24Lに第1基準電圧 V_{ref1} を与える第1基準電圧出力回路と第2共通電極端子24Rに第2基準電圧 V_{ref2} を与える第2基準電圧出力回路とによって構成されている。

【0047】第1基準電圧出力回路は、演算増幅器Op1a、抵抗Ra、Rb、R1a、半固定抵抗VRa、及びコンデンサC1aによって構成される。演算増幅器Op1aは反転入力端子と出力端子とを直結したボルテージフロアで、増幅度1のバッファとして動作する。信号線駆動電源電圧 V_{add} と接地間に抵抗Ra、半固定抵抗VRa、抵抗Rbが順に直列に挿入され、半固定抵抗VRaの可動接点部に発生する電圧が演算増幅器Op1aの非反転入力端子に輸入され、その出力電圧が第1基準電圧 V_{ref1} となる。この第1電圧 V_{ref1} は半固定抵抗VRaにより所定の値に設定できる。

【0048】第2基準電圧出力回路は、演算増幅器Op1b、抵抗Rc、Rd、R1b及びコンデンサC1bによって構成される。演算増幅器Op1bは演算増幅器Op1aと同じく増幅度1のバッファとして動作するボルテージフロアである。演算増幅器Op1bの非反転入力端子には、信号線駆動電源電圧 V_{add} を抵抗Rc、Rdにより分圧した $V_{add} \cdot Rd / (Rc + Rd)$ の電圧が入力され、演算増幅器Op1bの出力が第2基準電圧 V_{ref2} となる。なお、R1aとR1bは夫々演算増幅器Op1a、Op1bの過電流保護用抵抗を示し、数10Ω近辺の抵抗値であるが、必要がなければ除去してよい。

【0049】容量結合駆動は、対向電極の電位を基準として第1補助電圧 V_{g1} 及び第2補助電圧 V_{g2} を設定し、結合容量Cstを介して信号線駆動電圧Vs(図18参照)に重畳し、 $V_{g1} - V_{g2}$ を常に一定の条件で補助電圧 V_{g1} 、 V_{g2} の電圧値を変化させて液晶セルに印加される突き抜け電圧等の不平衡電圧を相殺させることにより、不平衡電圧によるフリッカー等の画質ムラを最小とする駆動法である。従って、対向電極の電位は一定値の直流電位に固定される必要がある。対向電極の電位は信号線駆動電源電圧 V_{add} の概略2分の1に定められる。

【0050】ところで、第1実施形態の液晶表示装置は、容量結合駆動を用いるとともに電圧値が異なる第1基準電圧 V_{ref1} 及び第2基準電圧 V_{ref2} を用いている。第1、第2共通電極端子24L、24Rは対向電極との接続点異なるだけで、異なる対向電極と接続されるものではなく、第1、第2共通電極端子24L、24Rは電気的には導通状態にあるから、1つの対向電極に第1、第2基準電圧とによる2値の電圧が印加されることになる。このような構成の第1実施形態の装置においては、容量結合駆動方法に反するため、画素13に適正な駆動電圧が印加されず、画質の劣化を招くのみならず、フリッカー調整のために第1、第2補正電圧 V_{g1} と V_{g2} を所定条件で変化させることに加えて、基準電圧を2値としその一方を変化する基準電圧発生回路を加えることは調整を複雑にしコストアップを招くのではないかと、一見思われる。しかしながら、第1実施形態のように構成することにより後述のように低コスト化、高画質化が実現できる。

【0051】以下、第1基準電圧 V_{ref1} を第1共通電極端子24Lに、第2基準電圧 V_{ref2} を第2共通電極端子24Rに印加して液晶パネル15を駆動する原理とその動作について説明する。

【0052】図2(a)は共通電極端子に流れる走査線駆動電流を模式的に表した図である。走査線11は対向電極16に接地された配線容量 c と配線抵抗 r とからなる分布定数回路で表される。分布定数回路の1〜YMの数字は走査線上に配置される画素13を示し、例えばX1端子の1はX1番目の走査線11とY1番目の信号線との交点に位置する画素13を表すことになる。

【0053】なお図2においてX1とXN番目の走査線以外は図面が複雑になるので省略した。スイッチSWと電圧 V_o は走査線駆動回路18を簡略した等価回路である。また信号線12は走査線10、11と直交して配設されているが、図2においては駆動端子だけを記載した。

【0054】Y1端子、Ym端子、YM端子は、図1の信号線12に対応した駆動端子である。第1、第2共通電極端子24L、24Rを夫々第1端子、第2端子として示している。コンデンサC1a、C1bは図1に示すものと同じである。破線で描いた従来端子とは図15の共通電極端子14をあらわす。コンデンサC0は図15の V_{ref} 出力回路23に内蔵される。

【0055】まず、図2及び図15を参照しながら従来端子すなわち共通電極端子14に基準電圧 V_{ref} が印加される場合について説明する。X1端子に電圧 V_o (駆動電源電圧に相当する)が印加された場合には、走査線11に流れる電流(走査線駆動電流)は対向電極の面内を経由して従来端子から V_{ref} 出力回路23に流れる。その電流を I で表し I 波形として図2(b)に示した。走査線駆動電源電圧は4値の電圧からなるが、ゲートオン電圧 V_{gon} は1.2V〜1.6V、ゲートオフ電圧 V_{goff} は-4V〜-1.2V、第1補助電圧 V_{q1} は-7V〜-1.5V、第2補助電圧 V_{q2} は-1.4V〜-2.2Vの範囲であることに對して、基準電圧 V_{ref} は2.5V近辺をとり、各駆動電源電圧が走査線11に印加された場合には相当に大きなピーク値を持つ電流が対向電極16面内を流れ、従来端子を経由して V_{ref} 出力回路23に流れ込む。

【0056】そのために、ピーク電流に対して十分な容量を持つ V_{ref} 出力回路23であること、対向電極16の固有抵抗を小さくすることが要求される。 V_{ref} 出力回路23の容量が小さければ駆動電流によって基準電圧が変動し、その結果、フリッカー、ちらつき等の画質ムラが生じる。また、対向電極16の固有抵抗が大きければ、対向電極内に駆動電流によって電位勾配が生じ、従来端子から離れた位置にある画素13の基準電圧が従来端子に近い画素13より低くなる。これは、画面内の各画素13の基準電圧が僅かずつ異なるためであり、従来端子に近い画面中央部の画素13には適正な駆動電圧が

加わるが、離れた位置の画素13、図中に示すA点とB点において極大値をとることになる。その結果、画面の周辺部に行くに従って基準電圧 V_{ref} が適正值でなくなることから、不平衡電圧が大きくなり、画面上に不均一なフリッカーやちらつき等の画質ムラが現れる。

【0057】この画質ムラは第1補助電圧 V_{q1} と第2補助電圧 V_{q2} とを同時に変化させて不平衡電圧を相殺する従来のフリッカー調整では抑制できないものである。何故ならば、従来のフリッカー調整は配線間の容量結合によって生じる不平衡電圧を相殺するものだからである。さらに、容量結合駆動は結合容量 C_{st} を介して画素13に所定の電圧を加える方式であるから、配線容量 c が大きくなり駆動電流のピーク値が他の画素より大きく、対向電極16内の電圧勾配が大きくなる。したがって画面中央部で画質ムラを最小としても、画面周辺部に行くに従い画質ムラが大きくなり、しかも画質ムラが不均一であるために僅かでも目立つようになる。

【0058】このような現象は画面サイズが小さい場合には画質ムラが実用レベル以下に収まり問題とはならないが、画面対角長15インチ近辺の液晶パネルでは顕著に表れる。その対策として、従来技術の欄でも述べたように走査線11の両端から駆動する方法が採られるが、コストアップにつながる。

【0059】次に、図1に示す第1実施形態のように信号線Y1の外側に第1共通電極端子24L(図2では第1端子)、信号線YMの外側に第2共通電極端子24R(図2では第2端子)を設けた場合について説明する。

【0060】この場合においては、第1、第2共通電極端子24L、24Rに分流して走査線駆動電流が流れるため、走査線駆動電流のピーク値が小さくなる。図2において、第1端子に流れる電流を I_1 、第2端子に流れる電流を I_2 として表した場合、当然ながら $I = I_1 + I_2$ である(但し、図15の V_{ref} 出力回路23の容量が十分な場合に限る)。また、電流 I_1 と I_2 の波形を I_1 波形、 I_2 波形として図2(b)に表した。

【0061】図2(b)からも明らかのように共通電極端子を2つにすることで基準電圧出力回路の容量を従来のものより小さくすることができる。但し、走査線を分布定数回路で表せば明快なことであるが、走査線11の駆動端子に近い画素13はピーク値 I_2 の大きい電流が流れる。したがって、第1端子と第2端子に V_{ref1} 、 V_{ref2} を加えた場合には、第1端子により大きなピーク値の電流が流れ込み、第1端子に比べて第2端子に流れる電流はかなり小さい値になる。これは第2端子が走査線の駆動端から離れた位置に配置されるからである。その結果、画面中央部上端に1つの共通電極端子を設けた場合と大差がないか、場合によっては、第1端子に流れ込む電流が大きいために、画質ムラが生ずる可能性が残る。

【0062】そこで本発明の第1実施形態の装置によれ

ば、第1、第2共通電極端子24L、24Rに加える電圧値を変えて、第1共通電極端子24Lに流れ込む駆動電流と第2共通電極端子24Rに流れ込む電流が均等となるようにする。このように第1基準電圧 V_{ref1} と第2基準電圧 V_{ref2} とを調整して、駆動電流が第1、第2共通電極端子24L、24Rに均等に流れ込むようにすることにより、対向電極内の電位勾配を小さくし画質ムラを実用レベル以下とすることができる。

【0063】図1の第1、第2基準電圧 V_{ref1} 、 V_{ref2} は次のようにして定められる。第2基準電圧 V_{ref2} を容量結合駆動方式の理論値、つまり信号線駆動電源電圧 V_{add} の概略 $1/2$ 、すなわち $R_c = R_d$ 、 $V_{ref2} = (1/2) V_{add}$ とする。第1基準電圧 V_{ref1} は第2基準電圧 V_{ref2} を中心として最大、信号線駆動電源電圧 V_{add} の約1割の電圧値、すなわち、 $V_{ref1} = V_{ref2} \pm V_{add} * 10\%$ によって定められる。なお、コンデンサ C_{1a} 、 C_{1b} は、液晶パネル15の容量（共通電極端子に対する信号線、走査線、液晶セル等の容量の合計）より十分に大きい値（100倍以上）であることが必要である。また、図1では第1基準電圧 V_{ref1} を可変にしているが、第1基準電圧 V_{ref1} を固定して第2基準電圧 V_{ref2} を可変にする構成であっても良い。

【0064】ところで、共通電極（コモン電極とも呼ばれる）とは一般に液晶パネル内の各画素（液晶セルともいう）が共有する電極を指す。当然、液晶パネル内に共通電極が形成され、その電極を引き出して外部の回路と接続する端子を共通電極端子と呼称される。共通電極は各画素が共有する電極であるということは、共通電極の電位を基準に各画素が動作することになるわけで、共通電極に加えられる電圧が、動作基準電圧、或いは単に基準電圧と呼ばれる。

【0065】液晶パネルはTFTのドレインに接続された画素電極とそれに対峙した電極間に液晶を封入して画素とする構成とするものが大半であるが、対峙した電極を対向電極と呼ぶ。この対向電極は共通電極の役割を果たすために、共通電極と混同されて使われる場合が多い。図1-5に示すような容量結合型液晶パネルもこのような構成である。

【0066】なお、必ずしも対向電極が共通電極と一致するものではない。例えば、横電界方式（IPS：In Plane Switching）を採用する液晶パネル等、TFTが形成される基板上に形成された電極を共通電極とし、対向電極がない構成の液晶パネルも存在するからである。本実施形態の液晶表示装置に用いる共通電極端子はTFT型液晶パネルの各画素の共通電極の引き出し端子を指すものとし、その中对向電極が含まれるものとする。

【0067】以上、容量結合型液晶パネルを一例として説明したが、上記したように共通電極端子を有する液晶パネルであれば本発明を適用でき同様の効果をあげることができる。

（実施の形態2）図3は本発明の第2実施形態における液晶表示装置の構成図であり、25は液晶パネル、27は液晶パネル25の駆動に適した信号線駆動回路、28は液晶パネル25の駆動に適した走査線駆動回路、29L、29Rは共通電極端子を示す。図3の液晶表示装置は容量結合していない液晶パネル25を用いたものである。なお、図3に示す制御回路22b、 γ 補正回路20b、駆動電源回路19bの機能は基本的に図1の液晶表示装置で説明した制御回路21、 γ 補正回路20、駆動電源回路19の機能ものと同じであるので説明は省略する。容量結合していない液晶パネル25の画素の等価回路を図4に示す。図4に示す回路は図17に示した容量結合した液晶パネルの画素の等価回路から結合容量 C_{st} を除いたものである。このタイプの液晶パネルは非常に一般的であり、AV機器からパーソナルコンピュータ等の表示装置として幅広く使用されている。

【0068】図5（a）に図3の液晶表示装置の走査線の駆動電圧波形の一例を示す。走査線駆動電源電圧はゲートオン電圧 V_{gon} とゲートオフ電圧 V_{goff} で順次走査線を駆動する。この点は第1実施形態の液晶表示装置と同様である。液晶パネル25の駆動方式としては、液晶パネル25において基準電圧を第1実施形態の液晶表示装置と同様に直流電位とするコモン一定駆動と、1水平走査期間（1H）或いは1垂直走査期間（1V）毎に基準電圧値を変えるコモン反転駆動とに大別できる。

【0069】本実施形態は、コモン一定駆動、コモン反転駆動の両方に適用できるが、図3に示す波形はコモン一定駆動の一例である。図1に示す第1実施形態の装置と同様に液晶パネル25の最初の信号線駆動端子の外側に第1共通電極端子29Lを、最後の信号線駆動端子の外側に第2共通電極端子29Rを配置し、駆動電源回路19bには第1基準電圧発生回路と第2基準電圧発生回路を備え、第1基準電圧 V_{ref1} を第1共通電極端子29Lに、第2基準電圧 V_{ref2} を第2共通電極端子29Rに印加する。

【0070】なお、信号線駆動電源電圧 V_{add} については第1実施形態の装置における信号線駆動電源電圧 V_{add} は電圧値が異なるものとする。従って、第1、第2基準電圧 V_{ref1} 、 V_{ref2} も異なるものになる。

【0071】図5（b）はコモン一定とする駆動の第1基準電圧 V_{ref1} と第2基準電圧 V_{ref2} の電圧レベル一例を示すものであり、 $V_{ref1} \geq V_{ref2}$ に設定されている。なお、図5（b）に示す他にも $V_{ref1} \leq V_{ref2}$ の場合もあり得る。

【0072】コモン反転駆動の場合は、基準電圧がパルスであるために図1または図3に示す演算増幅器を用いた簡易な構成の基準電圧発生回路にはならない。コモン反転駆動方式の基準電圧出力回路にはパルス発生回路が必要となるためである。図5（c）はコモン反転駆動における第1基準電圧 V_{ref1} と第2基準電圧 V_{ref2} の波形の

一例を示すものである。図 5 (c) において $(V_{c1+}) - (V_{c1-}) = (V_{c2+}) - (V_{c2-})$ の関係を満たした上で、第 1 と第 2 基準電圧のいずれか一方のセンター値 (図中の V_{c1} 、 V_{c2}) を変化させれば、図 1、図 3 の液晶表示装置と同様の効果を得ることができる。

(実施の形態 3) 図 6 は本発明の第 3 実施形態における液晶表示装置の構成図である。この第 3 実施形態における液晶表示装置は、図 3 に示す第 2 実施形態における装置の液晶パネル 25 の第 1 共通電極端子 29L に抵抗 R_e を第 2 共通電極端子 29R に抵抗 R_f を介して結合し、その結合点と接地間に抵抗 R_h を挿入し、基準電圧 V_{ref} を結合点に印加する構成としたものである。そして、 R_e/R_h と R_f/R_h とを変えて適正な基準電圧 V_{ref} を第 1、第 2 共通電極端子 29L、29R に加わるようにするものである。コンデンサ C_{1a} と C_{1b} は液晶パネル 25 の容量より十分大きい値のものが必要である。 C_{1c} は基準電圧 V_{ref} に重畳するノイズを除去するために挿入されるが、必要がなければ挿入する必要はない。

【0073】このように構成された第 3 実施形態の液晶表示装置によれば、基準電圧 V_{ref} を一つにできるために基準電圧出力回路が簡易な構成にでき低コスト化を図ることができると共に、図 1、図 3 の液晶表示装置と同様の効果を期待できる。

(実施の形態 4) 図 7 は本発明の第 4 実施形態における液晶表示装置に備えられた出力回路の構成を示すブロック図である。なお、第 4 実施形態における液晶表示装置の構成は、図 1 に示す第 1 実施形態の装置における出力回路 22 を図 7 に示す出力回路としたものである。

【0074】 V_1 発生回路は、標準温度 T_0 での第 1 補助電圧 V_{q1} を発生し、 V_2 発生回路は標準温度 T_0 での第 2 補助電圧 V_{q2} を発生するものである。フリッカー制御電圧 (V_f) 発生回路は前記したように不平衡電圧を相殺してフリッカーレベルを最小とするために電圧 V_1 と電圧 V_2 に重畳する電圧 V_f を発生するものである。 V_f はフリッカー調整 V_R によりフリッカーが最小となるように設定される。フリッカー制御電圧 V_f の範囲は概ね $\pm 3V$ の範囲内である。

【0075】液晶パネル温度補償電圧 $\delta V(T)$ 発生回路は、標準温度 T_0 において $\delta V(T) = 0$ とし、液晶表示装置の輝度対駆動電圧の温度補償をする補償電圧 $\delta V(T)$ を発生するものである。液晶表示装置の輝度対温度特性の一例を図 8 に示す。液晶パネルの透過率対駆動電圧の特性にはノーマリホワイト (NW と略する) とノーマリブラック (NB と略する) との 2 つのタイプがあるから、図 8 (a) にノーマリホワイト、図 8 (b) にノーマリブラック液晶パネルの温度特性の一例を示す。図 8 に示すように、温度の変化によって特性曲線の形状が一定のままで駆動電圧範囲が変化する。 T_1 と T_2 は周囲温度を示すもので $T_2 \geq T_1$ である。一般的な液晶パネルでは図 8 のように温度の上昇に対して駆動電圧範囲が

低くなる負の温度特性を示す。図 8 (a) で T_0 の場合、 V_{wb} は液晶表示装置の輝度が実用レベルで最大となる電圧 (以降、液晶パネルのオン電圧とする) であり、 V_{wa} は液晶表示装置の輝度が実用レベルで最小となる電圧 (以降、液晶パネルのオフ電圧とする) である。図 8 から明らかなように、 T_0 から T_1 の温度変化に対して駆動電圧が V_{b1} シフトして液晶パネルのオン電圧は $V_{wb} + V_{b1}$ 、オフ電圧は $V_{wa} + V_{b1}$ になる。また T_0 から T_2 の温度変化に対しては駆動電圧が V_{b2} シフトして液晶パネルのオン電圧は $V_{wb} - V_{b2}$ 、オフ電圧は $V_{wa} - V_{b2}$ になる。

【0076】NB は NW と対称的な特性であって、温度変化に対する駆動電圧のシフト量の絶対値はほぼ同じである。図 8 ではシフト量の絶対値は NW と NB について同じとし、NB の温度 T_0 での液晶パネルのオン電圧を V_{nb} 、オフ電圧を V_{na} としている。なお、NB と NW では特性が対称であるために電圧 V_{b1} と V_{b2} の符号は NW と NB とで逆になるがそれ以外は NW と同様であるために NB の説明は省略する。

【0077】輝度対駆動電圧の温度特性は輝度対駆動電圧の特性曲線の勾配が、急峻でない場合には実用的に無視できるレベルに収まることにより温度補償の必要性は乏しいが、特性曲線の勾配が急峻となればなるほど、温度特性により画質を劣化させるために温度補償の必要性が増す。しかしその一方で特性曲線の勾配が急峻になればなるほど低駆動電圧で液晶パネルを駆動できるために、低消費電力が重要である携帯型表示装置などに適する。さらに低駆動電圧になれば信号線駆動回路の電源電圧の絶対最大定格が小さくなり駆動 LSI のチップサイズが縮小されコストダウンを図ることができる。

【0078】なお、標準温度 T_0 は一般的には 25°C で、温度 T_2 は 60°C 近辺の値が用いられ、温度 T_1 は -10°C 近辺の値が用いられる。もちろん液晶表示装置の使用環境によって温度 T_1 と T_2 が異なることはいうまでもない。

【0079】図 9 は液晶パネルの温度補償の一例を示す図であって、実線は液晶パネルの温度特性である。図 9 の温度特性は図 8 に示す輝度対駆動電圧特性曲線の任意の点の駆動電圧 (一般的には最大輝度と最小輝度の midpoint の輝度に対応する駆動電圧) の温度を変えて輝度一定の条件でプロットしたものである。温度特性は、標準温度 T_0 が 25°C である場合を基準としている。液晶パネル温度補償電圧 $\delta V(T)$ (以下、単に補償電圧 $\delta V(T)$ と称する) の温度特性を破線で示す。

【0080】図 9 では液晶パネルの温度特性に対して対称となるように補償電圧 $\delta V(T)$ の温度特性を定めている。実際には図 9 のように完全に対称となる補償電圧 $\delta V(T)$ の温度特性を実現することは困難であるが、実用的には対称と見なせる温度特性は適正な温度センサーを用いれば実現できる。このような補償電圧 δV

(T)を液晶パネルの駆動電圧に重畳すれば図9に一点鎖線で示す温度に対して変化しない輝度特性を得ることができる。

【0081】図7において、V1発生回路とV2発生回路は標準温度T0での第1と第2補助電圧を定めるもので電圧V1とV2をそれぞれ出力する。第1補助電圧V_{q1}出力回路は補助電圧V1とフリッカー制御電圧V_fと補償電圧 $\delta V(T)$ を加算するものであり、第2補助電圧V_{q2}出力回路は補助電圧V2とフリッカー制御電圧V_fを加算し補償電圧 $\delta V(T)$ を減算するものである。第1補助電圧V_{q1}出力回路の誤差電圧を $\delta 1$ とし、第2補助電圧V_{q2}出力回路の誤差電圧を $\delta 2$ とすれば(数1)により第1補助電圧V_{q1}と第2補助電圧V_{q2}を表すことができる。

【0082】

【数1】 $V_{q1} = V_1 + V_f + \delta 1 + \delta V(T)$

$V_{q2} = V_2 + V_f + \delta 2 - \delta V(T)$

誤差電圧 $\delta 1$ と $\delta 2$ は回路部品のばらつき等により生じる。ここで標準温度T0における補助電圧V1と補助電圧V2との差は同じ設計値と同じ製造プロセスで製造される液晶パネル15については一定である。すなわち、 $V_1 - V_2 = C$ とすれば、 $V_{q1} - V_{q2} - 2 \cdot \delta V(T) = \delta 1 - \delta 2 = \delta$ を第1補助電圧V_{q1}と第2補助電圧V_{q2}のトラッキングエラーと定める。容量結合した液晶パネル15の δ は $\pm 0.3V$ の範囲内であれば画質に影響を与えることはなく、液晶パネル15の信頼性が低下することもないことは実験により確認されている。したがって、本発明では δ を(数2)の値を満たすものとする。

【0083】

【数2】 $V_{q1} - V_{q2} - 2 \cdot \delta V(T) = \delta 1 - \delta 2 = \delta$
 $-0.3V \leq \delta \leq +0.3V$

(数2)の値を満たすことにより、図7の出力回路は簡易な構成で高精度な温度補償された駆動電源電圧を出力することができ、図1に示す第1実施形態の液晶表示装置の低コスト化と高画質化に寄与できる。なお、温度センサーTSはサーミスタを用いる場合が多い。

【0084】次に、第4実施形態の駆動電源装置の回路構成の例を図10と図11に分けて説明する。図10はV_{gon}、V_{goff}、V_{gss}、V_{ref}、V_{add}出力回路とV1、V2発生回路の回路図であり、図11はV_fと $\delta V(T)$ 発生回路とV_{q1}とV_{q2}出力回路の回路図である。

【0085】図10において、40はV_{gon}出力回路、41はV_{gss}出力回路、42はV_{add}出力回路を示す。40～42に示す回路はスイッチング電源を示し、スイッチング電源40～42は単一の入力電圧V_{in}により動作する。T1～T3はスイッチング用のトランス、D1～D3はダイオード、C1～C3は平滑コンデンサ、R1～R6は抵抗を示し、各出力回路の誤差電圧を検出する分圧回路に用いられる。制御回路1～3は各スイッチング電源の出力を定電圧に保つ制御回路である。これには専用の

LSIを用いる場合が多い。

【0086】44はV1発生回路、45はV2発生回路、50はV_{goff}出力回路を示す。Op2、Op3とOp10は演算増幅器を示し、ボルテージフォロワーとして用いられる。これら各電圧は設計値と製造プロセスが同じ容量結合した液晶パネル15を用いる場合は一義的に定まる。

【0087】また、電圧V1と電圧V2も各抵抗R9、R10、R11、R12によって定められ、簡易な回路で高精度な電圧V1、V2を得ることができる。ゲートオフ電圧V_{goff}も同様に抵抗R40とR41により定められる。なお、図10の演算増幅器Op2、Op3とOp10の電源には信号線駆動電源電圧V_{add}と走査線駆動電源電圧V_{gss}を用いる。

【0088】図11において、46はV_f発生回路を示し、V_f発生回路46は、走査線駆動電源電圧V_{gss}と信号線駆動電源電圧V_{add}との間に抵抗R13と抵抗R14とフリッカー調整用の半固定抵抗VR1を挿入して、半固定抵抗VR1を調整して、演算増幅器Op4からフリッカーを最小とするフリッカー制御電圧V_fを出力するものである。47は $\delta V(T)$ 発生回路、THはサーミスタを示す。

【0089】演算増幅器Op5は反転増幅器として用いられる。抵抗R20、R21と半固定抵抗VR2とによる分圧回路は標準温度T0で不平衡電圧 $\delta(T) = 0V$ に設定するためのものである。もちろん、半固定抵抗VR2を省略して高精度の抵抗を用いて標準温度T0で $\delta(T) = 0V$ に設定しても良い。

【0090】また、不平衡電圧 $\delta V(T)$ の温度特性の一例として図8に示したが、液晶パネル15の温度特性を求めてその温度特性を補償する特性となるように液晶パネル15に合わせ込む。そのような温度特性は抵抗R15～R19とサーミスタTHを用いることによって比較的容易に実現できる。現状としては抵抗とサーミスタの抵抗値をパラメータとしてシミュレーションをして最適な値を求めている。

【0091】48はV_{q1}出力回路を示し、V_{q1}出力回路48は、演算増幅器Op6による反転回路を用いた加算回路と演算増幅器Op7による差動増幅回路とからなる。まず、加算回路にフリッカー制御電圧V_fと不平衡電圧 $\delta V(T)$ が入力されて $-(V_f + \delta V(T))$ が出力される。差動増幅回路の反転入力端子に $-(V_f + \delta V(T))$ が入力され、非反転入力端子に補助電圧V1が入力され、V_{q1} = $V_1 + V_f + \delta V(T) + \delta 1$ の出力が得られる。ここで、 $\delta 1$ はV_{q1}出力回路48の誤差電圧である。49はV_{q2}出力回路を示し、演算増幅器Op8とOp9による2つの差動増幅回路からなる。演算増幅器Op8による差動増幅回路の非反転入力端子に不平衡電圧 $\delta V(T)$ が入力され、反転端子にフリッカー制御電圧V_fが入力され、 $\delta V(T) - V_f$ が出力される。演算増幅器Op9による差動増幅回路の反転入力端子に $\delta V(T)$

-V_fが入力され、非反転入力端子に補助電圧V₂が入力され、V_{q2}=V₂+V_f-δV(T)+δ₂の出力が得られる。ここで、δ₂はV_{q2}出力回路の誤差電圧である。

【0092】このようにして(数1)の第1補助電圧V_{q1}と第2補助電圧V_{q2}を得ることができる。トラッキングエラーδ=δ₁-δ₂を±0.3V以内にすることは、抵抗値の誤差が1%以下の抵抗を用いれば汎用の演算増幅器を用いて容易に実現できる。なお、加算回路と差動増幅回路の抵抗値は要求されるフリッカー制御電圧V_f、第1補助電圧V_{q1}と第2補助電圧V_{q2}の値によるが、加算回路をR₂₂=R₂₃=R₂₄として増幅度1に設定し、差動増幅回路をR₂₆=R₂₇=R₂₈=R₂₉、R₃₀=R₃₁=R₃₂=R₃₃、R₃₄=R₃₅=R₃₆=R₃₇として増幅度1に設定すれば回路が単純となる。なお、C₄~C₁₃はパルス性ノイズの除去や電圧の安定化を図るために挿入されるものである。

【0093】このように第4実施形態の液晶表示装置によれば、駆動電源回路を高精度で簡易な構成の回路を用いて低価格で実現できるため、大きい動作温度範囲で高画質の画像を表示することができる。

【0094】(実施の形態5)図12は、本発明の第5実施形態における液晶表示装置の駆動電源回路のブロック図である。なお、図7に示す第4実施形態の液晶表示装置における駆動電源回路の部材と同一の部材については同一の符号を付して詳細な説明は省略した。

【0095】この第5実施形態における液晶表示装置は、図7に示す駆動電源回路の構成から、液晶パネル温度補償電圧δV(T)発生回路を無くしたものである。したがって、第1補助電圧V_{q1}と第2補助電圧V_{q2}は(数3)に示す式で表される。

【0096】

$$【数3】 V_{q1} = V_1 + V_f + \delta_1$$

$$V_{q2} = V_2 + V_f + \delta_2$$

図12に示す駆動電源回路は、輝度対駆動電圧の特性曲線が急峻でなく温度による輝度の変化が実用的に無視できる液晶表示装置に適する。当然ながら、液晶パネルは容量結合した液晶パネルである。

【0097】図13は、図12の駆動電源回路におけるV_f発生回路とV_{q1}出力回路とV_{q2}出力回路の一例を示す回路図であり、48aはV_{q1}出力回路、49aはV_{q2}出力回路を示す。すなわち、図11に示す回路におけるδV(T)発生回路47がない点、およびV_{q1}出力回路48、V_{q2}出力回路49の回路構成が異なる以外の点については、図11の回路と同様である。

【0098】V_{q1}出力回路48aは図11のV_{q1}出力回路48から加算回路を除いた回路、V_{q2}出力回路49aはV_{q1}出力回路49から差動増幅器を除いた回路からなる。したがって、(数3)の式より、温度補償電圧が加減算されていない第1補助電圧V_{q1}と第2補助電圧V_{q2}が得られる。

【0099】このように温度補償機能をなくすことにより、駆動電源回路がさらに単純化され低コスト化が図れる。その結果、容量結合した液晶パネルを用いた液晶表示装置は多出力の駆動電源装置が必要となり複雑でコストアップになるという弱点を補うことができる。

【0100】(実施の形態6)次に、本発明の第6実施形態について説明する。この第6実施形態は、電圧V₁と電圧V₂との関係を事前に求めることによって、駆動電源回路の設計を非常に容易にしようとするものである。

【0101】ゲートオン電圧V_{gon}、ゲートオフ電圧V_{goff}は、液晶パネルの設計値と製造プロセスによって一義的に定まる。ここで、電圧V₁と電圧V₂は結合容量C_{st}を介して液晶セルに加えられるため、電気物理より求められる電荷量C_{qd}および電荷量C_{st}と、図5に示す液晶セルの駆動電圧の条件、すなわち|V_{q1c}|=|V_{q2c}|とから、(数4)に示す理論的に必要な電圧V₁と電圧V₂が求められる。

【0102】

$$【数4】 (V_1 + V_2) / 2 = V_{goff} \cdot \{ 1 + (C_{qd} / C_{st}) \} - V_{gon} \cdot (C_{qd} / C_{st})$$

$$V_{gon} > V_1 > V_{goff} > V_2$$

この(数4)を満たすように、電圧V₁と電圧V₂を予め設定することが可能になったため、駆動電源回路の設計を非常に容易にすることができる。

【0103】(実施の形態7)次に、本発明の第7実施形態について説明する。第7実施形態は、図1、図3または図6の駆動電源回路19、19bに出力電圧をオン・オフさせる制御信号を出力する制御端子を備えたものである。図示は省略するが、図10の制御回路1~3に制御信号により出力をオン・オフできる制御回路を設ければ容易に実現できる。

【0104】このような制御端子を駆動電源回路に備えることにより、液晶表示装置をリモートコントロールすることができる。

【0105】(実施の形態8)図14は本発明の第8実施形態における液晶表示装置に用いる駆動電源回路の構成を示す説明図であって、この第8実施形態は、図1に示す第1実施形態における駆動電源回路19のV_{gon}、V_{goff}、V_{add}、V_{q1}、V_{q2}とV_{ref}の出力回路22とV_f、δV(T)の発生回路をモジュール化したものである。

【0106】駆動電源回路19の一部をモジュール化するとコストの低減や品質の向上あるいは異なる液晶表示装置間の部品の共用化を図ることができる。図14の電源モジュールは、ガラスエポキシ等のプリント基板、あるいはセラミック等の絶縁体を基板とし銅箔等の金属による配線パターンと出力端子を形成して、前記した各出力回路の主要な回路部品を実装したものである。フリッカー調整端子はフリッカー制御電圧V_fを調整する制御

- * 2 3
- V_{ref}
- 出力回路

- #### 40 V qon出力回路

- #### 4.1 V_{qss} 出力回路

- #### 4.2 V_{add}出力回路

- #### 4.3 V_{ref} 出力回路

- #### 4.4 V1発生回路

- #### 4.5 V2発生回路

- #### 4.6 V_f発生回路

- 47
- $\delta V(T)$
- 発生

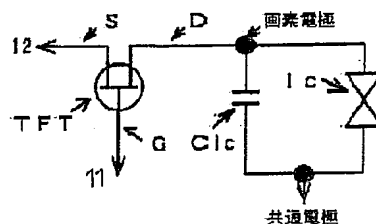
- 10 48, 48 a V_{g1} 出力回路

- 49, 49a
- V_{q2}
- 出力回路

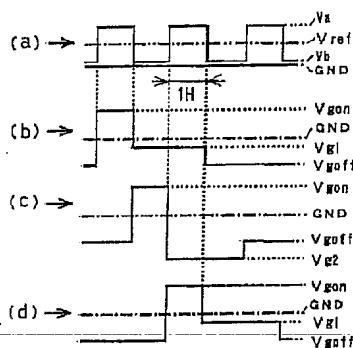
- ### 50 V_{qoff} 出力回路

- *

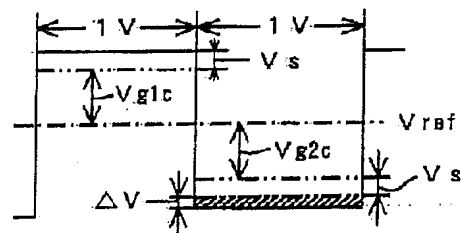
【图 4】



【図 16】



【图 18】



回路を接続する端子であり、温度制御端子は温度センサーに接続する端子である。

【0107】なお、第7実施形態の回路のようなオン／オフ制御端子を備えない駆動電源回路についても図14と同様なモジュールとしても良い。

【0108】（実施の形態9）次に、本発明の第9実施形態について説明する。この第9実施形態は、図1、図3、図6の出力回路22、22bにおけるオンとオフでの出力電圧の条件を定めるものである。

【0109】出力回路22（22b）の負荷となる走査線駆動回路18にはゲートオン電圧 V_{gon} 、ゲートオフ電圧 V_{goff} 、第1補助電圧 V_{q1} 、第2補助電圧 V_{q2} 、負電源電圧 V_{qss} が加えられる。走査線駆動回路18の各出力における平均の電圧レベルは V_{goff} と見なされる。走査線駆動回路18の各出力回路の出力端子は V_{goff} の電圧レベルに対して前記各電圧の出力回路の入力に V_{gon} が最初に加えられたとすれば、出力回路の入出力端子間に $V_{gon}-V_{goff}$ の過大な電圧（ $Max\ 2.5V$ 程度）が加わり、走査線駆動回路18がラッチアップして劣化あるいは破壊するに至る場合となれば、液晶表示装置の信頼性が著しく低下する。

【0110】これを未然に防ぐには駆動電源回路19（19b）がオンしたときに V_{goff} 、 V_{gon} の順で出力すれば良い。そのようなシーケンスは図10の制御回路1に遅延回路を設け、 $C1$ と $C13$ の値とを組み合わせると V_{goff} と V_{gon} の遅延時間を定めれば容易に実現される。

【0111】同様の問題が、駆動電源回路19がオフする場合にも生じる。駆動電源回路19のオフ後の V_{gon} と V_{goff} と V_{qss} の電圧レベルを $V_{gon}(off)$ と $V_{goff}(off)$ と $V_{qss}(off)$ と表記する。この場合は、当然ながら V_{gon} と V_{goff} の関係が逆になることと、電圧レベルが問題となること、そして走査線駆動回路18のロジック回路の動作によって出力回路を制御するためには V_{qss} をロジック回路の接地電位とする場合があることから、 $V_{gon}(off) \geq V_{goff}(off) \geq V_{qss}(off)$ を満たせばよいことになる。この条件は図10の制御回路1と2に遅延回路を設け、コンデンサー $C1$ と $C2$ と $C13$ の値とを組み合わせれば比較的容易に実現できる。

【0112】勿論、走査線駆動回路18において対策がなされておれば、上記した出力電圧の条件は不要となる。

【0113】このように、第9実施形態の液晶表示装置における駆動電源回路は、オンするときには V_{goff} と V_{gon} の順に出力し、オフ後は $V_{gon}(off) \geq V_{goff}(off) \geq V_{qss}(off)$ を満たすものであり、液晶表示装置の信頼性を向上させることができる。なお、走査線駆動電源電圧 V_{qss} を必要としない走査線駆動回路もあるが、この場合は、 $V_{gon}(off) \geq V_{goff}(off)$ を満たせば良い。

【0114】以上、本発明の実施形態について説明して

きたが、上述した実施形態によれば、半固定抵抗 V_{R1} によってフリッカー調整をしているが、事前にフリッカー最小レベルとなる値、例えば、フリッカー最小レベルとなる半固定抵抗 V_{R1} の抵抗値が求められていれば、その値の抵抗に置き換えることでも良く、フリッカー調整のために半固定抵抗 V_{R1} を用いなければならないということではない。

【0115】

【発明の効果】以上のように本発明によれば、液晶パネルに第1、第2共通電極端子を配置し、電源回路から出力される第1基準電圧を第1共通電極端子に、第2基準電圧を第2共通電極端子に印加することにより、液晶表示装置のフリッカーやちらつき等の画質ムラを実用レベル以下にすることが可能になり、低コストで高画質な液晶表示装置を実現できる。

【0116】また、容量結合した液晶パネルを用いた液晶表示装置の性能を十二分に発揮し、走査線駆動電源電圧を適切に制御してフリッカー調整を容易にし、液晶パネルの温度補償を正確にでき、精度の高く簡易な構成でモジュール化に適した低コストな駆動電源回路を実現できるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1実施形態における液晶表示装置の構成図

【図2】共通電極に流れる走査線駆動電流を分布定数回路により模式的に表した説明図

【図3】本発明の第2実施形態における液晶表示装置の構成図

【図4】容量結合しない液晶パネルの画素の構成を示す説明図

【図5】図3の駆動電源回路の各出力電圧の波形図

【図6】本発明の第3実施形態における液晶表示装置の構成図

【図7】図1の液晶表示装置の駆動電源回路の構成図

【図8】液晶表示装置の輝度対温度特性の一例を示す説明図

【図9】液晶パネルの温度補償の一例を示す説明図

【図10】図7の駆動電源回路の一例を示す回路図

【図11】図7の駆動電源回路の一例を示す回路図

【図12】本発明の第4実施形態における液晶表示装置の駆動電源回路の構成図

【図13】図11の駆動電源回路の一例を示す回路図

【図14】図7の駆動電源装置のモジュール構成を示す説明図

【図15】従来の液晶表示装置の構成図

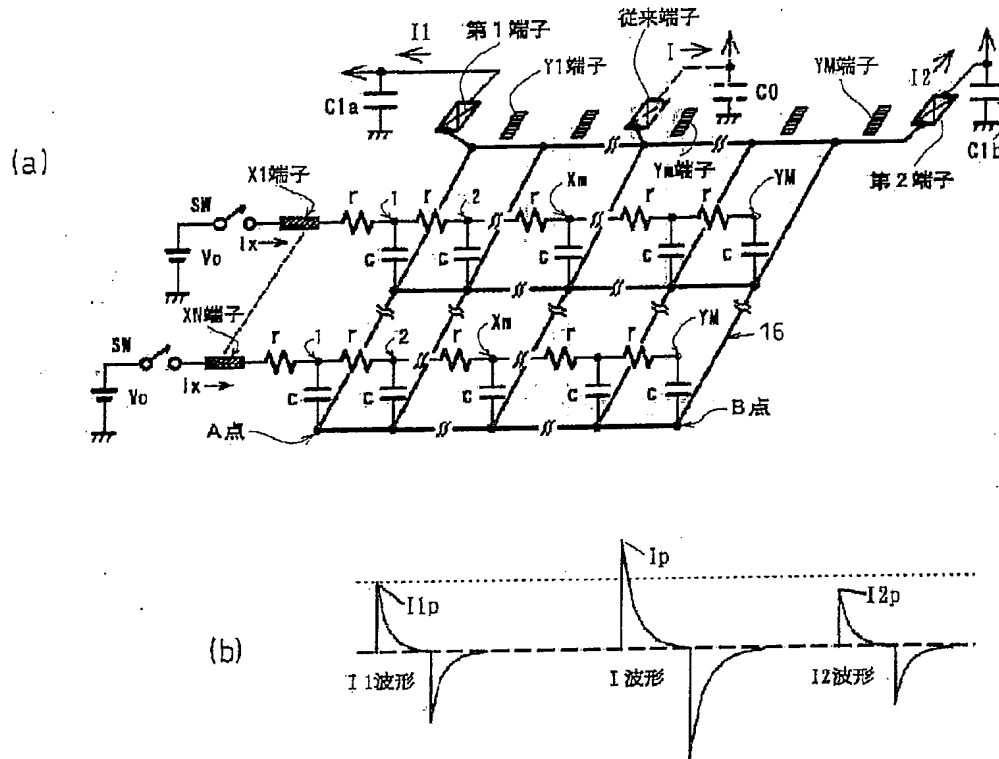
【図16】容量結合した駆動電圧波形図

【図17】容量結合した液晶パネルの画素の構成を示す説明図

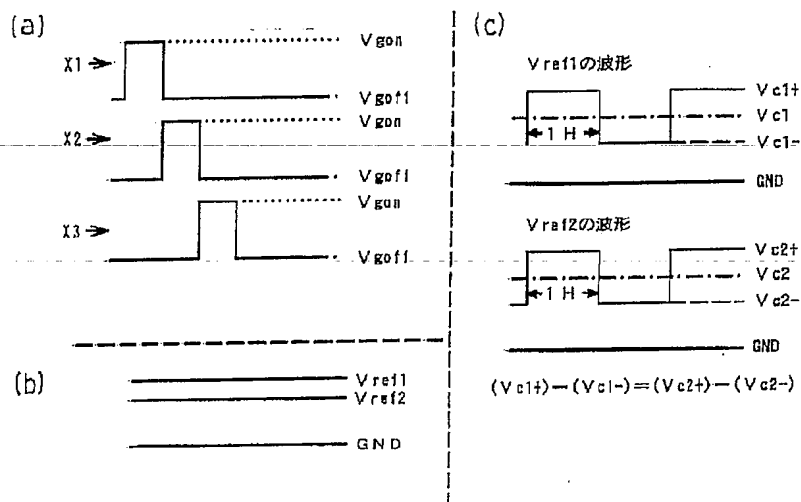
【図18】液晶セルに印加される駆動電圧波形図

【符号の説明】

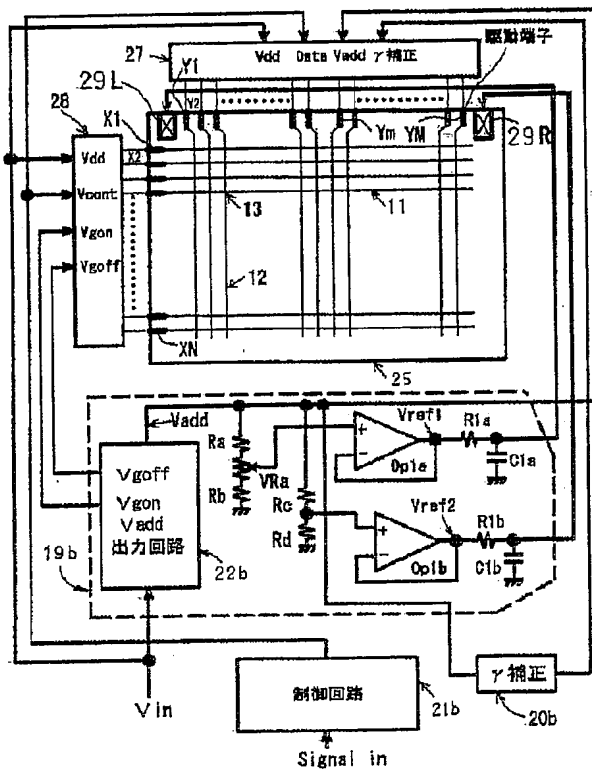
【図2】



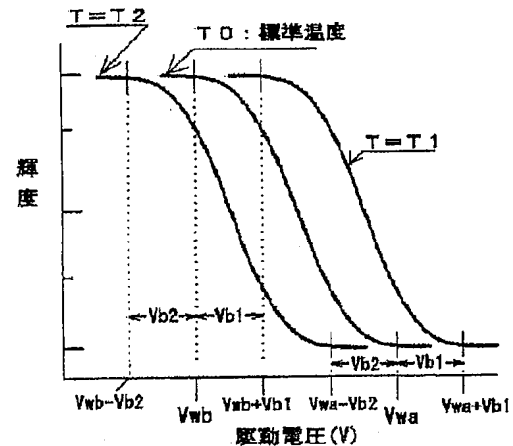
【図5】



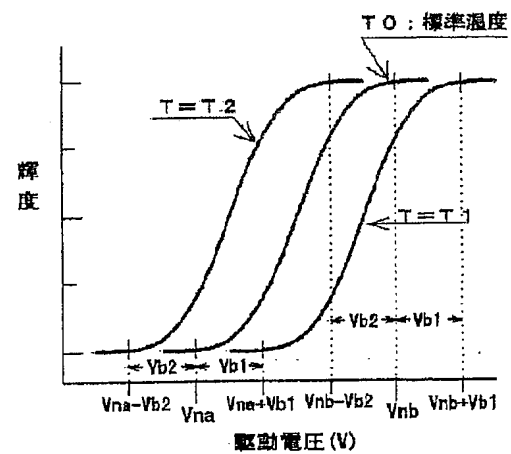
【図3】



【図8】

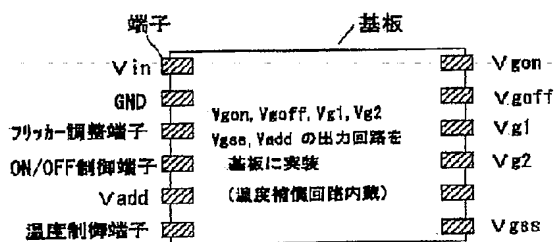


(a) ノーマリホワイト

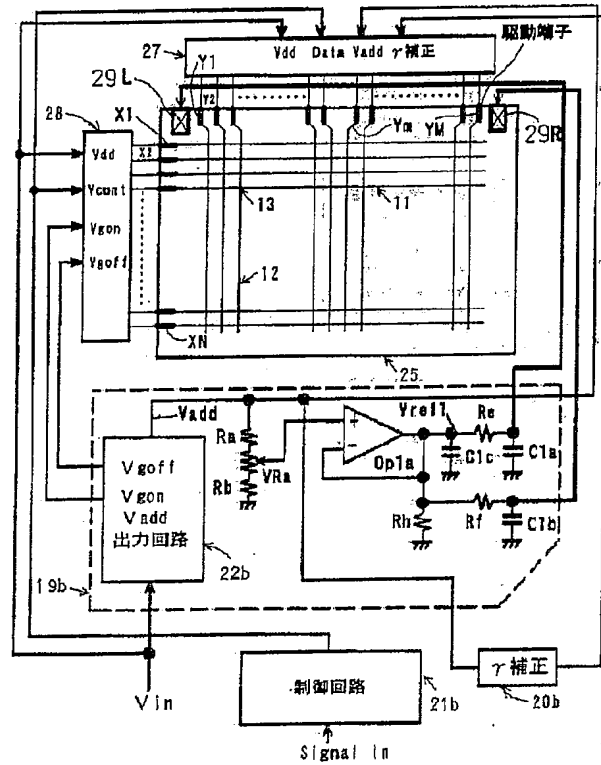


(b) ノーマリブラック

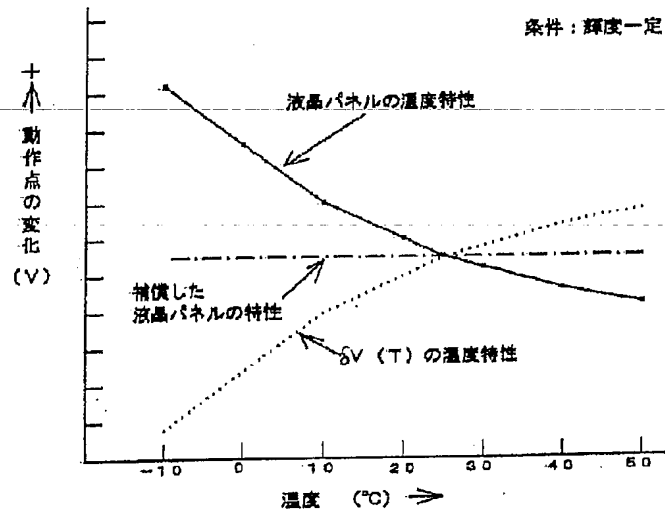
【図14】



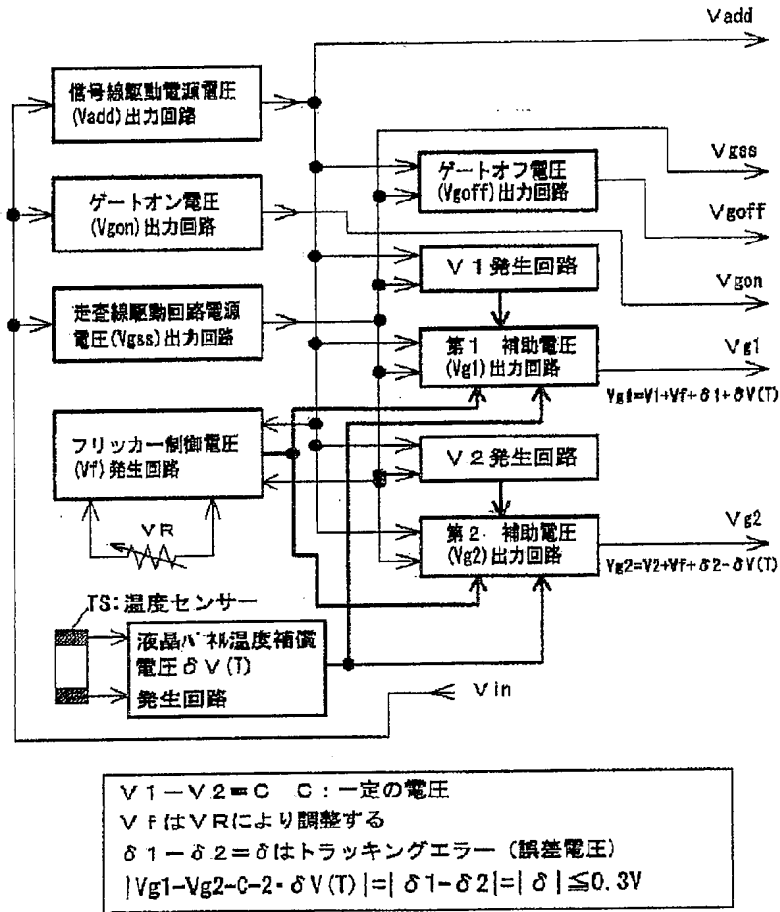
【図6】



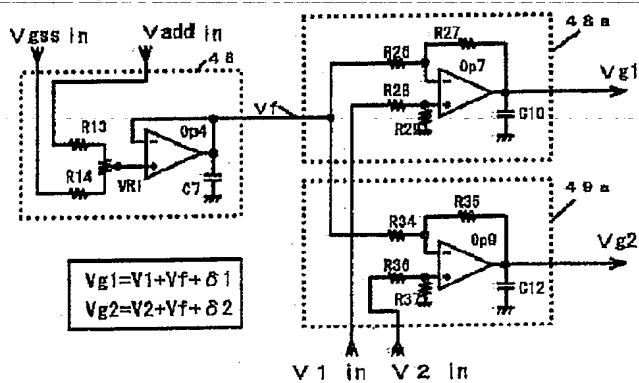
【図9】



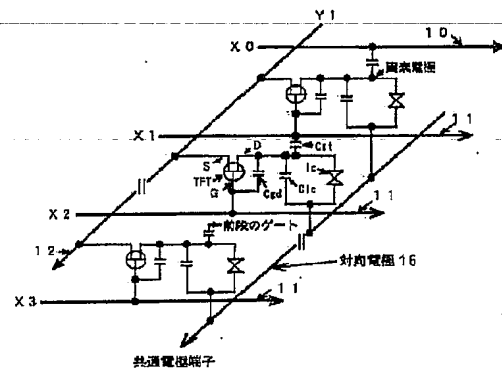
【図7】



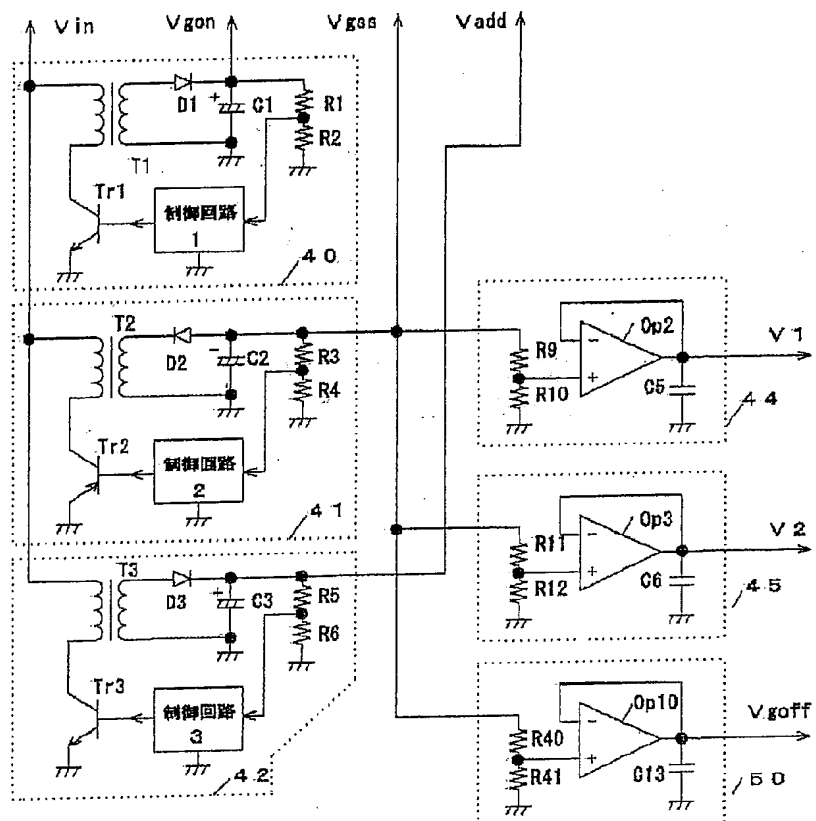
【図13】



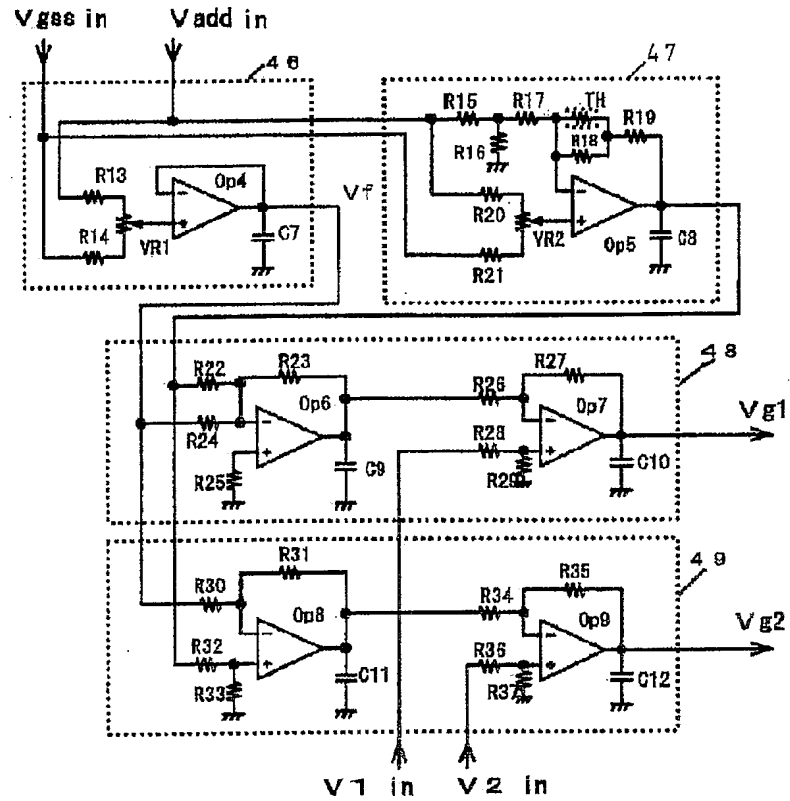
【図17】



【図10】



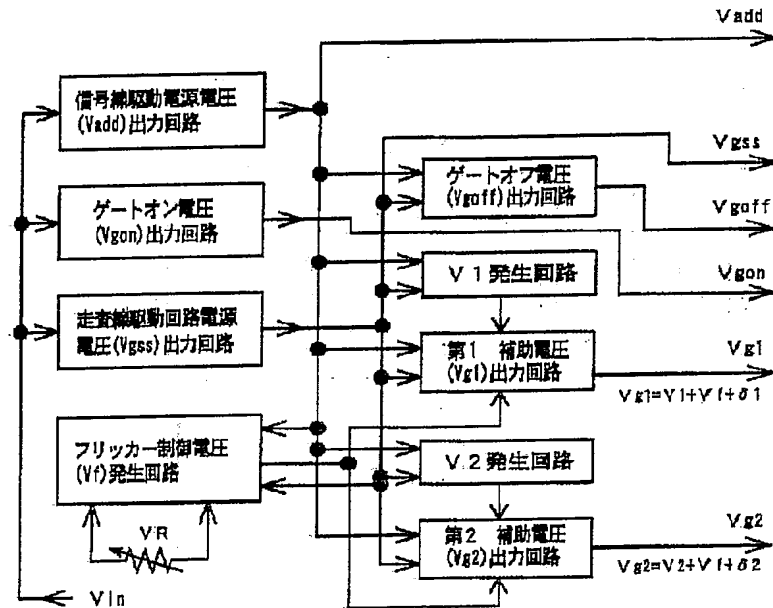
【図11】



$$V_{g1} = V_1 + V_f + \delta V(T) + \delta 1$$

$$V_{g2} = V_2 + V_f - \delta V(T) + \delta 2$$

【図12】



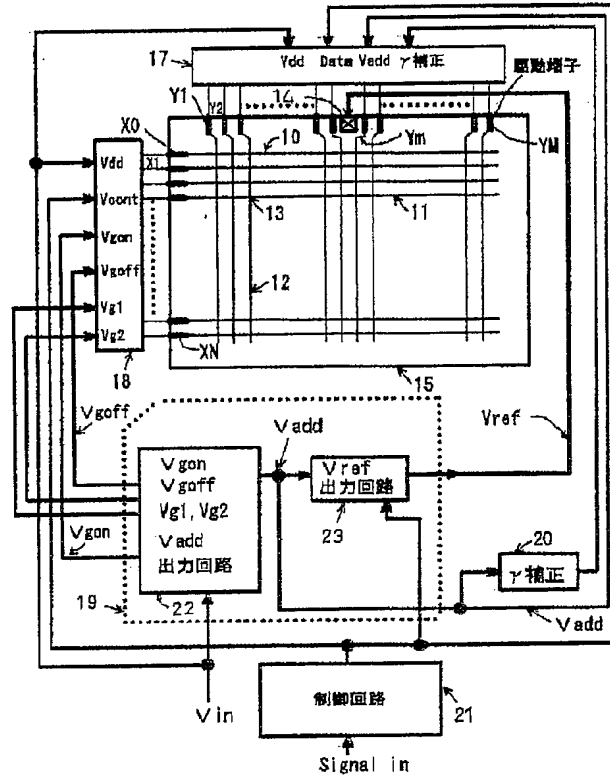
$V_1 - V_2 = C$ C : 一定の電圧

V_f は V_R により調整する

$\delta_1 - \delta_2 = \delta$ はトラッキングエラー (誤差電圧)

$|V_{g1} - V_{g2} - C - 2 \cdot \delta V(T)| = |\delta_1 - \delta_2| = |\delta| \leq 0.3V$

〔図15〕



フロントページの続き

(51)Int.Cl.⁷
G09G 3/36

識別記号

F I
G 0 9 G 3/36

テーマコード(参考)